

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-15380

(43) 公開日 平成8年(1996) 1月19日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28				
G 0 6 F 1/04	3 0 2 Z			
15/78	5 1 0 P			

G 0 1 R 31/ 28

V

H 0 1 L 27/ 04

T

審査請求 有 請求項の数 5 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平6-145005

(22) 出願日 平成6年(1994) 6月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 風見 哲夫

東京都港区芝五丁目7番1号 日本電気株式会社内

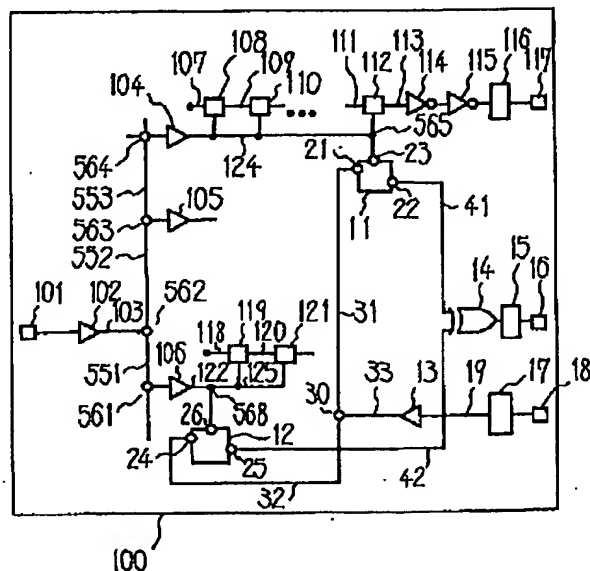
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 半導体チップ内のクロック信号スキューを精度よく測定できるテスト回路を有する半導体集積回路装置を提供する。

【構成】 クロック信号により駆動されるフリップフロップ11および12と、外部測定信号のフリップフロップ11への遅延時間と外部信号のフリップフロップ12への遅延時間を等しくし、フリップフロップ11の出力およびフリップフロップ12の出力をXOR14の入力に接続する構成とし、外部測定信号をLSIテストの分解能で変化させてXOR14の出力レベルの変化点を検出することによりクロック信号のスキューを測定する。



## 【特許請求の範囲】

【請求項 1】 クロック信号に同期してデータの保持または書込を行う複数個のフリップフロップと、前記クロック信号の駆動能力を増巾するクロックドライバーと、前記クロックドライバーの出力から導出されるクロック信号配線とを半導体基板の一主表面上に形成したクロック信号同期型の半導体集積回路装置において、前記クロック信号配線に接続されて前記クロック信号をクロック端子に受ける第 1 および第 2 のフリップフロップのそれぞれと、前記第 1 および第 2 のフリップフロップのそれぞれのデータ入力端子のそれぞれに入力される外部測定信号と、この外部測定信号の前記第 1 のフリップフロップへの遅延時間および前記第 2 のフリップフロップへの遅延時間のそれぞれを等しくする遅延手段と、前記クロック信号により駆動され出力される前記第 1 および第 2 のそれぞれのフリップフロップの出力信号のそれぞれの一致検出手段とを有することを特徴とする半導体集積回路装置。

【請求項 2】 前記遅延手段は、前記外部測定信号を受けるバッファと、このバッファの出力端と前記第 1 のフリップフロップの前記データ入力端子とを接続する配線の配線長と前記バッファの前記出力端と前記第 2 のフリップフロップの前記データ入力端子とを接続する配線の配線長とを等しくすることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】 前記遅延手段は、前記外部測定信号を受けるバッファと、このバッファの出力端と前記第 1 のフリップフロップの前記データ入力端子とを複数個の第 1 の外部測定信号バッファと前記第 1 の外部測定信号バッファ間を接続する第 1 の外部測定信号バッファ線とで接続し、前記バッファの出力端と前記第 2 のフリップフロップの前記データ入力端子とを前記第 1 の外部測定信号バッファの遅延時間が等しく前記第 1 の外部測定信号バッファと同一数の第 2 の外部測定信号バッファと前記第 2 の外部測定信号バッファ間を接続する前記第 1 の外部測定信号バッファ線と等長の第 2 の外部測定信号バッファ線とで接続することを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 4】 前記一致検出手段は、前記第 1 および第 2 のフリップフロップの出力信号のそれぞれを入力とする排他的論理回路で構成されることを特徴とする請求項 1、2 または 3 記載の半導体集積回路装置。

【請求項 5】 クロック信号に同期してデータの保持または書込を行う複数個のフリップフロップと、前記クロック信号の駆動能力を増巾するクロックドライバーと、前記クロックドライバーの出力から導出されるクロック信号配線とを半導体基板の一主平面上に形成したクロック信号同期型の半導体集積回路装置において、前記クロック信号配線に接続されて前記クロック信号をクロック端子に受ける第 1 および第 2 のフリップフロップのそれ

れと、前記第 1 および第 2 のフリップフロップのそれぞれのデータ入力端子のそれぞれに入力される外部測定信号と、この外部測定信号の前記第 1 のフリップフロップへの遅延時間および前記第 2 のフリップフロップへの遅延時間のそれぞれを等しくする第 1 の遅延手段と、前記クロック信号配線の前記クロック信号の伝搬遅延時間の等しくなる接続点に接続されて前記クロック信号をクロック端子に受ける第 3 および第 4 のフリップフロップのそれぞれと、前記第 3 および第 4 のフリップフロップのそれぞれのデータ入力端子のそれぞれに入力される前記外部測定信号の前記第 3 のフリップフロップへの遅延時間および前記第 4 のフリップフロップへの遅延時間のそれぞれを等しくする第 2 の遅延手段と、前記第 1 および第 2 のフリップフロップの出力信号のそれぞれならびに前記第 3 および第 4 のフリップフロップの出力信号のそれぞれを選択する選択回路と、この選択回路の出力を受ける一致検出手段とを有することを特徴とする半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体集積回路装置に関し、特に同期式制御方式の論理回路のクロック信号のスキュー測定に用いるテスト回路を有する半導体集積回路装置に関する。

## 【0002】

【従来の技術】 最近の電子機器、例えば、パーソナルコンピュータなどに用いられる同期式制御方式の論理回路を有する半導体集積回路装置は小型化、省電力化のため、その有用性が増大している。この同期式制御方式の論理回路の一構成例を半導体基板上の一主平面上に形成した半導体集積回路装置を模式的に平面図に現わした図 6 を参照すると、従来の半導体集積回路装置 600 は、クロック信号の供給を受ける接続端子 101 と、この接続端子 101 に入力を接続するバッファ 102 と、バッファ 102 の出力から導出されバッファ 104、105 および 106 のそれぞれと駆動するためのクロック配線 103、551、552 および 553 のそれぞれと、クロック配線 103 の配線端子 562 と、この配線端子 562 に接続するクロック配線 551 の配線端子 561 と、配線端子 562 に接続するクロック配線 552 の配線端子 563 と、この配線端子 563 に接続するクロック配線 553 の配線端子 564 とを有する構成である。さらに、従来の半導体集積回路装置 600 は、配線端子 561 に入力を接続するクロック 106 と、配線端子 563 に入力を接続するクロックバッファ 105 と、配線端子 564 に入力を接続するクロックバッファ 104 とを有する構成である。

【0003】 さらにまた、従来の半導体集積回路装置 600 は、クロックバッファ 106 の出力から導出されるクロック配線 122 と、クロック配線 122 の配線端子

568と、この配線端子568から導出されフリップフロップ119および121のそれぞれを駆動するクロック配線125と、クロックバッファ105の出力から導出されフリップフロップ508、510および512のそれぞれを駆動するクロック配線516と、フリップフロップ512のクロック端子に接続されるクロック配線516の配線端子567と、クロックバッファ104の出力から導出されフリップフロップ108、110および112のそれぞれを駆動するクロック配線124と、フリップフロップ112のクロック端子に接続されるクロック配線124の配線端子565とを備え、フリップフロップ119および121のそれぞれならびにフリップフロップ508、510および512のそれぞれならびにフリップフロップ108、109および110のそれぞれは、例えば、分周器を構成するかまたはレジスタを構成して、同期式制御方式の論理回路機能を実現する。

【0004】さらに、この半導体集積回路装置600は、フリップフロップ112の出力113を受けるインバータ114および115のそれぞれと、インバータ115の出力を受け増巾し外部信号として出力するI/Oバッファ116および接続端子117のそれぞれと、フリップフロップ512の出力513を受け増巾し外部信号として出力するI/Oバッファ514および接続端子515のそれぞれと、フリップフロップ121の出力517を受けるインバータ518および519のそれぞれと、インバータ519の出力を受け増巾し外部信号として出力するI/Oバッファ520および接続端子521とを有し、接続端子523に受ける外部制御信号522によりI/Oバッファ116、514および520のそれぞれが制御される構成である。

【0005】また、この従来の半導体集積回路装置600の配線端子565は、クロック信号の供給を受ける接続端子101からバッファ102、配線103、配線端子562、配線552、配線端子563、配線553、配線端子564、バッファ104および配線124のそれぞれを介してクロック信号が供給される構成で、接続端子101からこの配線端子565までのクロック信号の伝搬遅延時間に関してはこの半導体集積回路装置600の中で最も大きい値を有する構成である。

【0006】一方、配線端子568は端子101からバッファ102、配線103、配線端子562、配線551、配線端子561、バッファ106および配線122のそれぞれを介してクロック信号が供給される構成で、接続端子101からこの配線端子568までのクロック信号の伝搬遅延時間に関しては、この半導体集積回路装置600の中で最も小さい値を有する構成である。

【0007】次に、従来の半導体集積回路装置600のクロック信号の伝搬についての波形図を示す図7を参照して、この半導体集積回路装置600の接続端子101

に供給されるクロック信号の伝搬について説明する。

【0008】時刻 $t_0$ に端子101に外部からクロック信号が供給されると、配線端子568の信号波形は時刻 $t_1$ に伝搬される。すなわち、 $(t_1 - t_0)$ の遅延時間 $t_{pd1}$ が発生する。また、時刻 $t_2$ になると配線端子565の信号波形は伝搬されフリップフロップ112はクロック動作を行う。すなわち、 $(t_2 - t_0)$ の遅延時間 $t_{pd2}$ が発生する。

【0009】この結果、従来の半導体集積回路装置600は、配線端子568と配線端子565との間でクロック信号の遅延差であるクロックスキュー( $\Delta T$ )が発生した状態で同期式論理回路動作を行う。

【0010】この様な従来の半導体集積回路装置を同期式制御方式の論理回路に適用するため、論理回路動作のスピードテストを実施し、安定な回路動作を保証する必要がある。このスピードテストに関する従来のテスト回路技術は、例えば、特開平2-232575号公報に開示されている。

【0011】従来のテスト回路技術についてのテスト回路の構成を示す図8を参照すると、このテスト回路は、テスト端子801にテスト入力信号807を供給し、クロック $\phi_1$ をゲートに受けるトラスファergeート802からフリップフロップ等の遅延回路803へテスト入力信号を供給し、クロック $\phi_2$ をゲートに受けるトランスファゲート804から遅延回路803の出力およびテスト信号807のそれぞれを入力とするEXOR805とを有して、被測定回路である遅延回路803の遅延伝搬時間を測定する構成である。

【0012】すなわち、上述のテスト回路を半導体集積回路装置600に内蔵して、スピードテストを実施することにより、半導体集積回路装置の安定な動作を実現することができる。

【0013】

【発明が解決しようとする課題】しかしながら、近年の電子機器の要求により、電子機器に用いられる半導体集積回路装置の回路規模は増々大きくなり1半導体チップ当り100万ゲートの集積度を有するLSIが市販されるようになった。したがって、上述の同期式制御方式の論理回路を有する半導体集積回路装置の集積規模も大きくなり、そのクロック信号を伝搬するクロック配線の配線長も長くなっている。

【0014】その結果、クロック配線長のためのクロック伝搬遅延時間も半導体集積回路装置の平面的な配置に大きく依存し、上述のクロックスキューが増々大きくなる問題が生じてきた。

【0015】さらに、電子機器の要求速度もクロック周波数で $\sim 100\text{MHz}$ 程度の性能が必要とされ、クロック信号によるクロックスキューを検査し保証する必要性が生じてきた。

【0016】すなわち、上述のクロックスキューをテス

トするテスト回路が必要で従来技術のテスト回路を内蔵しただけではクロックスキューが測定できず、安定な同期式制御方式の論理回路を有する半導体集積回路装置が実現できない欠点があった。

【0017】したがって、本発明の目的は、上記の状況に鑑み、半導体集積回路装置のチップ内のクロックスキューを精度良く測定するテスト回路を有する半導体集積回路装置を提供することにある。

【0018】

【課題を解決するための手段】本発明の半導体集積回路装置は、クロック信号に同期してデータの保持または書込を行う複数個のフリップフロップと、前記クロック信号の駆動能力を増巾するクロックドライバーと、前記クロックドライバーの出力から導出されるクロック信号配線とを半導体基板の一主表面上に形成したクロック信号同期型の半導体集積回路装置において、前記クロック信号配線に接続されて前記クロック信号をクロック端子に受ける第1および第2のフリップフロップのそれぞれと、前記第1および第2のフリップフロップのそれぞれのデータ入力端子のそれぞれに入力される外部測定信号と、この外部測定信号の前記第1のフリップフロップへの遅延時間および前記第2のフリップフロップへの遅延時間のそれぞれを等しくする遅延手段と、前記クロック信号により駆動され出力される前記第1および第2のそれぞれのフリップフロップの出力信号のそれぞれの一致検出手段とを有する構成である。

【0019】また、本発明の半導体集積回路装置の前記遅延手段は、前記外部測定信号を受けるバッファと、このバッファの出力端と前記第1のフリップフロップの前記データ入力端子とを接続する配線の配線長と前記バッファの前記出力端と前記第2のフリップフロップの前記データ入力端子とを接続する配線の配線長とを等しくする構成とすることもできる。

【0020】さらにまた、本発明の半導体集積回路装置の前記遅延手段は、前記外部測定信号を受けるバッファと、このバッファの出力端と前記第1のフリップフロップの前記データ入力端子とを複数個の第1の外部測定信号バッファと前記第1の外部測定信号バッファ間を接続する第1の外部測定信号バッファ線とで接続し、前記バッファの出力端と前記第2のフリップフロップの前記データ入力端子とを前記第1の外部測定信号バッファの遅延時間が等しく前記第1の外部測定信号バッファと同一数の第2の外部測定信号バッファと前記第2の外部測定信号バッファ間を接続する前記第1の外部測定信号バッファ線と等長の第2の外部測定信号バッファ線とで接続する構成とすることもできる。

【0021】またさらに、本発明の半導体集積回路装置の前記一致検出手段は、前記第1および第2のフリップフロップの出力信号のそれぞれを入力とする排他的論理回路で構成することもできる。

【0022】また、本発明の他の半導体集積回路装置は、クロック信号に同期してデータの保持または書込を行う複数個のフリップフロップと、前記クロック信号の駆動能力を増巾するクロックドライバーと、前記クロックドライバーの出力から導出されるクロック信号配線と、を半導体基板の一主平面上に形成したクロック信号同期型の半導体集積回路装置において、前記クロック信号配線に接続されて前記クロック信号をクロック端子に受ける第1および第2のフリップフロップのそれぞれと、前記第1および第2のフリップフロップのそれぞれのデータ入力端子のそれぞれに入力される外部測定信号と、この外部測定信号の前記第1のフリップフロップへの遅延時間および前記第2のフリップフロップへの遅延時間のそれぞれを等しくする第1の遅延手段と、前記クロック信号配線の前記クロック信号の伝搬遅延時間の等しくなる接続点に接続されて前記クロック信号をクロック端子に受ける第3および第4のフリップフロップのそれぞれと、前記第3および第4のフリップフロップのそれぞれのデータ入力端子のそれぞれに入力される前記外部測定信号の前記第3のフリップフロップへの遅延時間および前記第4のフリップフロップへの遅延時間のそれぞれを等しくする第2の遅延手段と、前記第1および第2のフリップフロップの出力信号のそれぞれならびに前記第3および第4のフリップフロップの出力信号のそれぞれを選択する選択回路と、この選択回路の出力を受ける一致検出手段とを有する構成である。

【0023】

【実施例】次に、本発明の第1の実施例の半導体集積回路装置について図面を参照して説明する。

【0024】図1を参照すると、この第1の実施例の半導体集積回路装置100は、外部測定信号の供給を受ける接続端子18と、接続端子18に入力を受けるI/Oバッファ17と、I/Oバッファ17の出力19を受け外部測定信号を増巾するバッファ13と、バッファ13の出力から導出される測定信号配線33と、この配線33の配線端子30とを有する構成である。

【0025】さらに、この第1の実施例の半導体集積回路装置100は、クロック信号配線122の配線端子568に接続されるクロック端子26と測定信号配線33の配線端子30から導出される配線32を受けるデータ端子24から成るフリップフロップ12と、クロック信号配線124の配線端子565に接続されるクロック端子23と測定信号配線33の配線端子30から導出される配線32と等長の長さを持つ配線31を受けるデータ端子21から成るフリップフロップ11と、フリップフロップ11の出力端子22から導出される配線41およびフリップフロップ12の出力端子25から導出される配線42のそれぞれを入力に接続し出力信号をI/Oバッファ15および接続端子16を介して出力する排他的論理和回路（以降XORと称する）14とを有する構

成である。

【0026】それ以外の構成は、従来の半導体集積回路装置の構成と同一で、その同一の構成要素には同一の参照符号が付して図示してある。

【0027】次に、本発明の第1の実施例の半導体集積回路装置の動作について、図2および図3のそれぞれを参照して説明する。

【0028】この第1の実施例の半導体集積回路装置100は、接続端子101に供給されるクロック信号により時刻 $t_1$ では配線端子568の信号波形が伝搬し波形は立上る。これによりフリップフロップ12はデータ端子24の信号を取り込み出力端子25にその信号を出力する。さらに時刻 $t_2$ では配線端子565の信号波形が立上り、フリップフロップ11はデータ端子21の信号を取り込み出力端子22にその信号を出力する。

【0029】すなわち、時刻 $t_1$ と時刻 $t_2$ の間ではXOR14の入力には異ったレベルの信号が入力されることになるのでXOR14はハイレベルを出力する。

【0030】ここで外部測定信号が時刻 $t_1$ より前の時刻 $t_{11}$ にロウレベルからハイレベルに変化しクロック信号の周期 $T_1$ の2倍よりも前の時刻 $t_8$ にハイレベルからロウレベルに変化する測定条件(1)について、図2を参照して説明する。

【0031】まず、時刻 $t_1$ のときは、フリップフロップ12の出力25はハイレベルに立上る。そして時刻 $t_2$ になるとフリップフロップ11の出力22はハイレベルに立上る。したがって、XOR14の出力は時刻 $t_1$ まではロウレベルで時刻 $t_1$ と時刻 $t_2$ の間ではハイレベルとなり時刻 $t_2$ を過ぎると再びロウレベルに変化する。

【0032】さらに、接続端子16に出力されるXOR14の出力信号に対してクロック信号の周期 $T_1$ より前の時刻 $t_5$ におけるストロブ信号によりXOR14の出力信号を検出すれば、XOR14の出力はロウレベルとなっている。

【0033】次に、外部測定信号を受けるデータ入力端子24またはデータ入力端子21の測定信号が時刻 $t_1$ と時刻 $t_2$ の間の時刻 $t_{12}$ でロウレベルからハイレベルに変化し、クロック信号の周期 $T_1$ の2倍よりも少し前の時刻 $t_8$ にハイレベルからロウレベルに変化する測定条件(2)について、図3を参照して説明する。

【0034】まず、時刻 $t_1$ のときは、フリップフロップ12の出力25はロウレベルのままである。しかし、時刻 $t_{12}$ では測定信号がロウレベルからハイレベルに変化するのでフリップフロップ11の出力22は時刻 $t_2$ でハイレベルに立上る。

【0035】すなわち、XOR14の出力は時刻 $t_2$ でハイレベルとなり、配線端子568のクロック信号の一周期遅れた次の立上り時刻 $t_6$ でフリップフロップ12にハイレベルが書き込まれフリップフロップ12の出力

25がハイレベルになりXOR14の出力は時刻 $t_6$ でロウレベルに変化する。

【0036】測定条件(1)と同様に接続端子16に出力されるXOR14の出力信号に対して時刻 $t_5$ においてストロブ信号を立てるとXOR14の出力はハイレベルとなっている。

【0037】次に、測定条件(3)について図3を再び参照して説明する。

【0038】この測定条件(3)は、外部測定信号を受けるデータ入力端子24またはデータ入力端子21の測定信号が時刻 $t_2$ と時刻 $t_3$ の間の時刻 $t_{23}$ でロウレベルからハイレベルに変化し、クロック信号の周期 $T_1$ の2倍の時刻よりも少し前の時刻 $t_8$ にハイレベルからロウレベルに変化する。

【0039】まず、時刻 $t_1$ のときは、フリップフロップ12の出力25およびフリップフロップ11の出力22のそれぞれはロウレベルのままである。さらに、時刻 $t_2$ になってもフリップフロップ11はロウレベルのデータを取り込むだけであるのでフリップフロップ11の出力22も依然としてロウレベルのままである。その結果、XOR14の出力は時刻 $t_2$ まではロウレベルである。

【0040】さらに、データ入力端子24またはデータ入力端子21の測定信号が時刻 $t_{23}$ でロウレベルからハイレベルに変化する。しかしながらこのハイレベルになった測定信号をフリップフロップ12およびフリップフロップ11のそれぞれが取り込む時刻は、次のクロック信号の周期の時刻 $t_9$ および時刻 $t_{10}$ であるので、XOR14の出力は時刻 $t_2$ を越えて時刻 $t_9$ まではロウレベルのままである。

【0041】測定条件(3)も測定条件(1)または測定条件(2)と同様に、接続端子16に出力されるXOR14の出力信号に対して時刻 $t_5$ においてストロブ信号を立てるとXOR14の出力はロウレベルとなっている。

【0042】以上の説明から、外部測定信号を時刻 $t_1$ から時刻 $t_2$ を越えて時刻 $t_3$ まで所定時間巾を有して変化させるとXOR14の出力がロウレベルであったものがハイレベルになりさらにロウレベルに変化させることができる。

【0043】すなわち、外部測定信号をLSIの測定装置であるLSIテストの分解能のステップで変化させればXOR14の出力がロウレベルからハイレベルに変化した時刻に対応する外部測定信号とXOR14の出力がハイレベルからロウレベルに変化した時刻に対応する外部測定信号との差が、配線端子568のクロック信号の立上り波形と配線端子565のクロック信号の立上り波形の差(クロック信号スキュー)として観測することが可能となる。

【0044】現在のLSIテストのドライバーの分解能

は20pS～30pSであるのでクロック信号スキューとして0.1nS～0.5nSは充分精度良く測定できる。

【0045】次に、本発明の第2の実施例の半導体集積回路装置の構成を示す図4を参照すると、この実施例の半導体集積回路装置300は、配線端子30から導出される等しい長さの配線321と配線325と、配線325を入力に接続するバッファ314と、このバッファ314の出力から導出される配線326と、配線326を入力に接続するバッファ315と、このバッファ315の出力から導出される配線327と、配線327を入力に接続するバッファ316と、このバッファ316の出力から導出されフリップフロップ12のデータ入力端子に接続される配線328と、配線321を入力に接続しその遅延時間がバッファ314と等しいバッファ311と、バッファ311の出力から導出され配線長の等しい配線322と、配線322を入力に接続しその遅延時間がバッファ315と等しいバッファ312と、バッファ312から導出され配線長の等しい配線323と、配線323を入力に接続しその遅延時間がバッファ316と等しいバッファ313と、バッファ313から導出されフリップフロップ11のデータ端子21に接続される配線324とを有する構成以外は、第1の実施例の半導体集積回路装置と同じ構成で、同一構成要素には同一参照符号が付して図示してある。

【0046】次に、本発明の第2の実施例の半導体集積回路装置の動作は、第1の実施例の半導体集積回路装置の動作と同じであるので、その詳細な説明は省略する。

【0047】この第2の実施例の半導体集積回路装置の配線端子30とフリップフロップ12のデータ端子24ならびに配線端子30とフリップフロップ11のデータ端子21のそれぞれの間にバッファ314、315、および316ならびにバッファ311、312および313のそれぞれを挿入したので、フリップフロップ12のデータ端子24への波形整形およびフリップフロップ11のデータ端子21への波形整形ができ、より正確で安定な測定ができる効果がある。

【0048】次に、本発明の第3の実施例の半導体集積回路装置について説明する。

【0049】図5を参照すると、第3の実施例の半導体集積回路装置400は、端子24から導出された配線401と、この配線401を入力に接続するバッファ405と、バッファ405の出力から導出された配線402と、配線402を入力に接続するバッファ406と、バッファ406から導出され等配線長をもつ配線403と配線404と、クロック信号の配線端子562から導出された配線427と接続するクロック端子423と配線403をデータ端子421に接続するフリップフロップ411と、配線427を接続するクロック端子426と配線404をデータ端子424に接続するフリップフロ

ップ412と、フリップフロップ411の出力422とフリップフロップ412の出力425およびフリップフロップ11の出力22とフリップフロップ12の出力25を制御信号を受ける接続端子418から導出される制御信号417で選択されその出力をXOR14に入力するセクタ407とを有する構成以外は、第2の実施例の半導体集積回路装置と同じ構成で同一構成要素には同一参照符号が付してある。

【0050】この実施例の半導体集積回路装置400は、制御信号417でフリップフロップ411および412の出力のそれぞれを選択し、外部測定信号を変化させフリップフロップ411および412ならびにXOR14およびI/Oバッファ15ならびにLSIテスト等の測定系に含まれる時間差を測定し、この時間差を初期値としてキャリブレーションする。

【0051】次に、制御信号417を切替えて、フリップフロップ11および12のそれぞれの出力を選択し、第1および第2の実施例の半導体集積回路装置の動作と同じ動作をさせてクロックのスキューを測定するので、その動作の詳細な説明は省略する。

【0052】すなわち、上述のキャリブレーションをすることで半導体集積回路のテスト回路およびLSIテスト等の測定系の時間差を実質的に無くすることができ、より精度の高い測定が可能となる。

【0053】

【発明の効果】以上説明したように、本発明の半導体集積回路装置は、外部測定信号をLSIテストの分解能の範囲で変化させることにより、半導体チップ内のクロックスキューを測定できるので、従来この種の測定が実質的に出来ないことによる不良の選別を可能とする効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体集積回路装置の構成を示す図である。

【図2】図1に示す半導体集積回路装置の動作を示す波形図である。

【図3】図1に示す半導体集積回路装置の動作を示す他の波形図である。

【図4】本発明の第2の実施例の半導体集積回路装置の構成を示す図である。

【図5】本発明の第3の実施例の半導体集積回路装置の構成を示す図である。

【図6】従来の半導体集積回路装置の構成を示す図である。

【図7】図6に示す半導体集積回路装置の動作を示す波形図である。

【図8】従来のテスト回路の構成を示す図である。

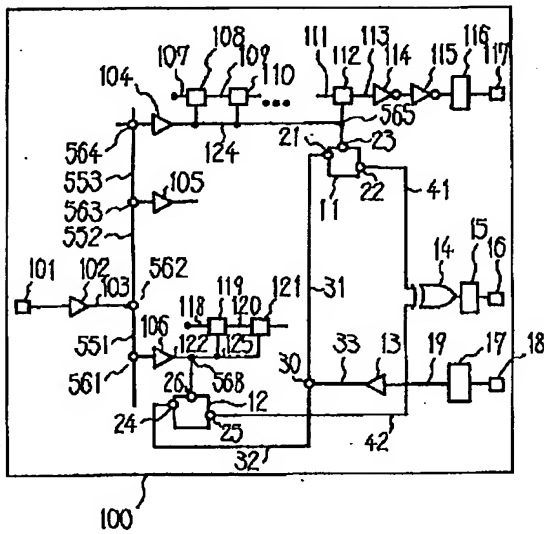
【符号の説明】

11, 12, 411, 412      フリップフロップ

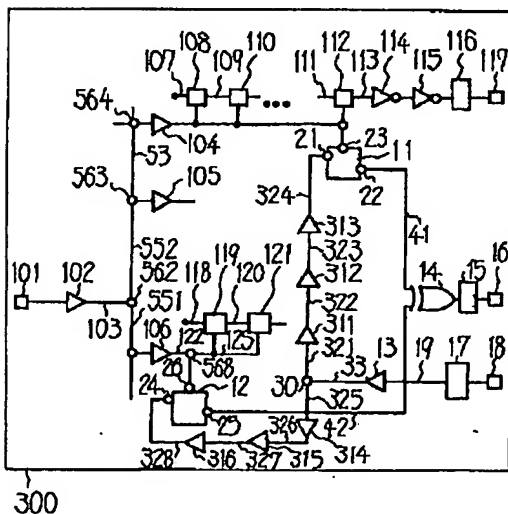
13, 102, 104, 105, 106, 311, 31

- 2, 313, 314, 315, 316, 405, 406  
バッファ  
14 排他的論理和回路  
15, 17, 116, 514, 520 I/Oバッファ  
ア  
16, 18, 101, 117, 515, 521, 80  
1, 806 端子  
19 配線  
21, 24, 421, 424 データ入力端子  
22, 25, 422, 425 出力端子  
23, 26, 423, 426 クロック入力端子

【図1】

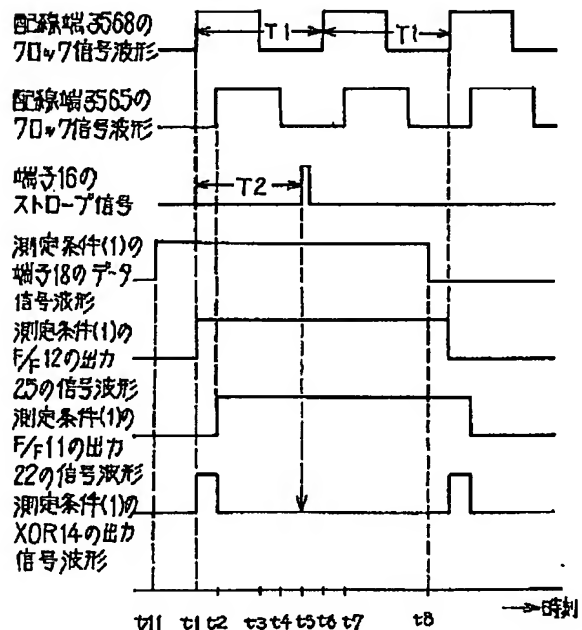


【図4】

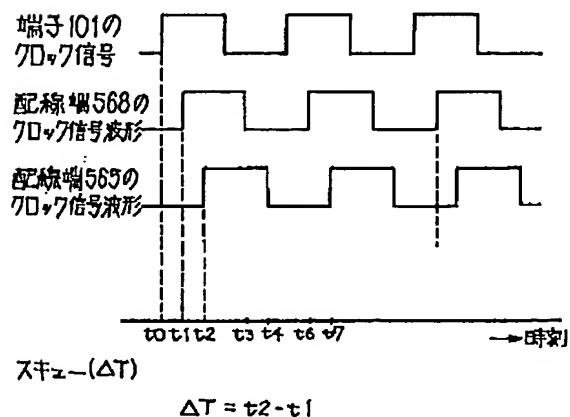


- 30, 561, 562, 563, 564, 565, 56  
8 配線端子  
31, 32, 33, 41, 42, 103, 122, 12  
4, 125, 321, 322, 323, 324, 32  
5, 326, 327, 328, 401, 402, 40  
3, 404, 441, 442, 516, 551, 55  
2, 553 配線  
100, 300, 400, 600 半導体集積回路装  
置  
10 108, 110, 112, 119, 121, 508, 5  
10, 512 フリップフロップ

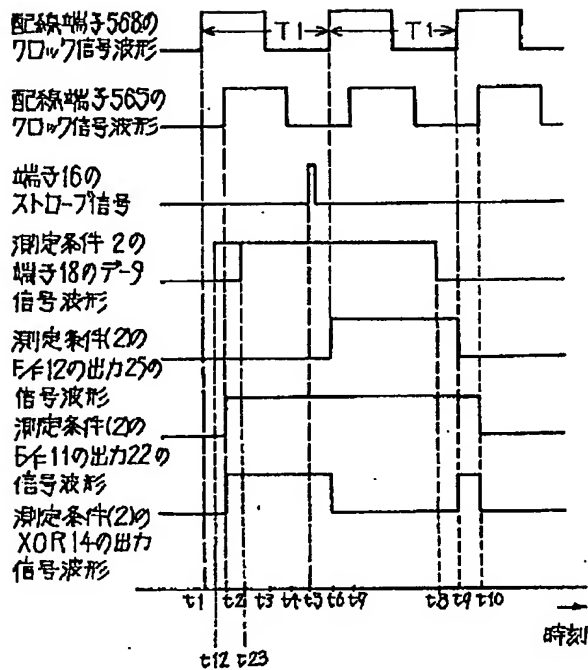
【図2】



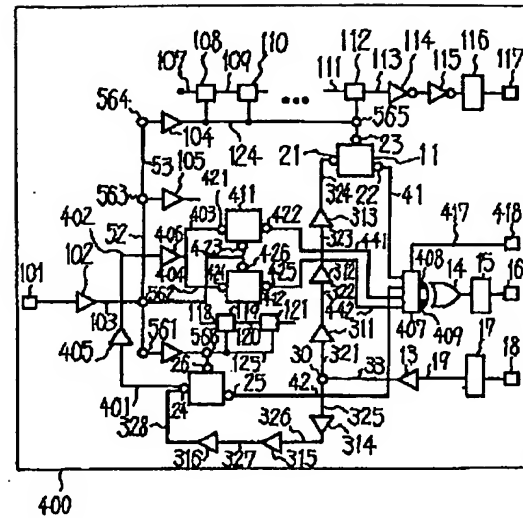
【図7】



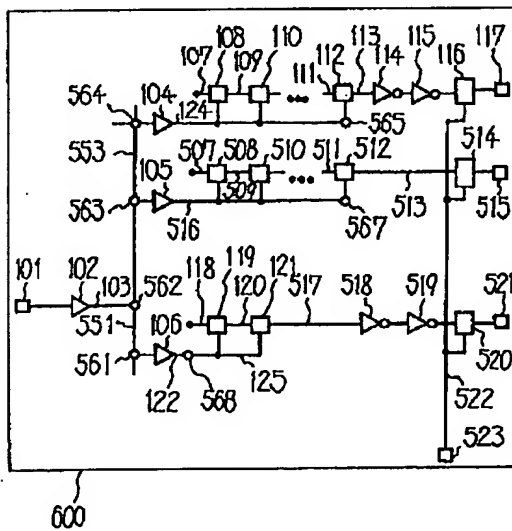
【図 3】



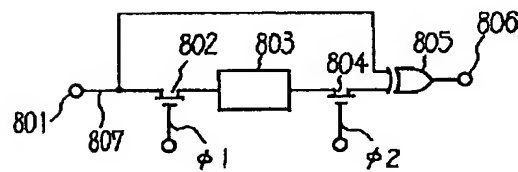
【図 5】



【図 6】



【図 8】



フロントページの続き

(51) Int. Cl.<sup>6</sup>H 0 1 L 21/66  
27/04  
21/822識別記号 庁内整理番号  
F 7514-4M

F I

技術表示箇所